

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-207543

(43)Date of publication of application : 29.07.1992

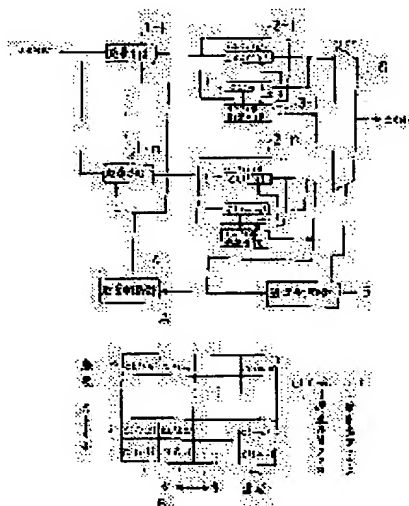
(51)Int.Cl. H04L 12/48  
H04Q 11/04(21)Application number : 02-336389 (71)Applicant : FUJITSU LTD  
(22)Date of filing : 30.11.1990 (72)Inventor : KAMOI EDAMASU  
KATO YUJI  
KUSAYANAGI MICHIO

## (54) QUALITY CLASS CONTROL SYSTEM IN CHANNEL OF ATM EXCHANGE

## (57)Abstract:

**PURPOSE:** To prevent the characteristic of a cell class from being affected by the effect of a cell of a class with lower priority than that of the inputted cell by adding a class of abort and delay to a cell and providing an abort control section and a delay control section for the system.

**CONSTITUTION:** A quality class  $CL(m, n)$  in response to an abort characteristic and a delay characteristic is added to a cell, and one buffer memory is divided into an area corresponding to the quality class  $CL(m, n)$  depending on the arrival quantity. When an inputted cell is written in an area of the quality class  $CL(m, n)$  corresponding the buffer memory, an abort control section 4 controls to abort a cell whose abort quality class is in excess of a independently preset threshold level corresponding to the total amount to be used of the buffer memory. A delay control section 5 applies priority control of the read sequence corresponding to the delay quality class at the read from the buffer memory. Thus, the abort characteristic and the delay characteristic are independently controlled and the characteristic is not affected by the cell with lower priority than that of its own cell.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's

decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

文部2

第2886976号

(45) 発行日 平成11年(1999) 4月26日

(24) 登録日 平成11年(1999) 2月12日

(51) Int.Cl.<sup>9</sup>

識別記号

F I

H 0 4 L 12/28

H 0 4 L 11/20

G

H 0 4 Q 3/00

H 0 4 Q 3/00

請求項の数 1 (全 12 頁)

(21) 出願番号 特願平2-336389

(22) 出願日 平成2年(1990)11月30日

(65) 公開番号 特開平4-207543

(43) 公開日 平成4年(1992)7月29日

審査請求日 平成9年(1997)1月24日

(73) 特許権者 999999999

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1  
番1号

(72) 発明者 嶋井 條益

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 加藤 祐司

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72) 発明者 草柳 道夫

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74) 代理人 弁理士 穂坂 和雄 (外2名)

審査官 江嶋 清仁

最終頁に続く

(54) 【発明の名称】 ATM交換機の通話路における品質クラス制御方式

1

(57) 【特許請求の範囲】

【請求項1】 複数の入出力ハイウェイ間を接続するスイッチング素子にバッファメモリを備えたATM交換機の通話路における品質クラス制御方式において、セルに廃棄特性のクラスと遅延特性のクラスの組み合わせに対応した複数の品質クラスを付与し、入力ハイウェイに廃棄特性のクラスに対応した複数の個別のバッファメモリを備え、且つ前記複数の各バッファメモリはそれぞれ遅延特性のクラスに対応した複数の個別のバッファメモリにより構成され、前記廃棄特性のクラスに対応した複数の個別のバッファメモリのそれぞれ遅延特性のクラスに対応した各個別のバッファメモリのバッファ使用量を測定するバッファ量測定手段を備え、入力ハイウェイと前記廃棄特性のクラスに対応して設け

2

られた各個別のバッファメモリとの間に各廃棄特性のクラスに対応して設けられてセルの廃棄を行う廃棄手段を設け、

前記廃棄制御部は、入力するセルを廃棄特性のクラスに対応したバッファメモリ内の遅延特性のクラスに対応した個別のバッファメモリに書き込む時に前記バッファ量測定手段からのバッファ使用量が、廃棄特性のクラス毎に予め設定したしきい値を越えると当該クラスのセルを廃棄する制御を行い、

10 出力ハイウェイにセルを出力するための遅延制御部を設け、該遅延制御部は前記遅延特性のクラスに対応して複数のバッファメモリからの読み出し順序の優先制御を行うことを特徴とするATM交換機の通話路における品質クラス制御方式。

【発明の詳細な説明】

## 〔概要〕

複数の入出力ハイウェイ間を接続するスイッチング素子にバッファメモリを備えたATM交換機の通話路における品質クラス制御方式に関し、

廃棄特性と遅延特性を独立に制御することができ自セルより低い優先度のセルにより特性を左右されないATM交換機の通話路における品質クラス制御方式を提供することを目的とし、

セルに廃棄特性のクラスと遅延特性のクラスの組み合わせに対応した複数の品質クラスを付与し、入力ハイウェイに廃棄特性のクラスに対応した複数の個別のバッファメモリを備え、且つ複数の各バッファメモリはそれぞれ遅延特性のクラスに対応した複数の個別のバッファメモリにより構成され、廃棄特性のクラスに対応した複数の個別のバッファメモリのそれぞれ遅延特性のクラスに対応した各個別のバッファメモリのバッファ使用量を測定するバッファ量測定手段を備え、入力ハイウェイと廃棄特性のクラスに対応して設けられた各個別のバッファメモリとの間に各廃棄特性のクラスに対応して設けられてセルの廃棄を行う廃棄手段を設け、廃棄制御部は、入力するセルを廃棄特性のクラスに対応する個別のバッファメモリに書き込む時に前記バッファ量測定手段からのバッファ使用量が、廃棄特性のクラス毎に予め設定したしきい値を越えると当該クラスのセルを廃棄する制御を行い、出力ハイウェイにセルを出力するための遅延制御部を設け、遅延制御部は遅延特性のクラスに対応して複数のバッファメモリからの読み出し順序の優先制御を行うよう構成する。

## 〔産業上の利用分野〕

複数の入出力ハイウェイ間を接続するスイッチング素子にバッファメモリを備えたATM交換機の通話路における品質クラス制御方式に関する。

ATM交換機では、音声のような遅延に厳しい通信やデータのように廃棄に厳しい通信が一元的に取り扱われる。一方、複数の入出力ハイウェイの各交差点にバッファメモリを備えたスイッチング素子を設け、スイッチング素子を駆動することにより通話路を形成するATM交換機が知られている。

そのようなATM交換機の通話路では、バッファメモリの容量を大きくすればセルの廃棄を少なくすることができるが、遅延が大きくなってしまふ。逆にバッファメモリの容量を小さくすれば遅延は小さくなるが、セルの廃棄が多くなるといったトレードオフの関係があり、全ての通信を一元的に処理するのが困難だった。従って、セルの性質に応じてセルの廃棄、遅延の制御を行うことが望まれている。

## 〔従来技術〕

第6図は従来例の説明図である。

第6図のAはATMスイッチの構成であり、複数の入力ハイウェイ (HW) # 1 ~ # Pと複数の出力ハイウェイ

(HW) # 1 ~ # Qの各交差点にバッファメモリ60が設けられ、入力HWから入力するセル (通常5バイトのヘッダ部と48バイトのデータ部とで構成する) のヘッダに含まれた宛先情報 (VPI/VCI等) を識別して対応する出力HWと接続するバッファメモリ60にセルが蓄積される。バッファメモリ60は複数の入力HWから同じ出力HWに向かうセルが同時に入力された時の衝突防止用に設けられ、バッファメモリに蓄積されたセルは出力HWに対応したセクタ61により順次読み出されて出力HWに出力される。

上記した従来のATM交換機の方式では、バッファの容量に制限があるため、例えば1つの出力HWに多くのセルが集中する場合、バッファメモリにセルが蓄積できない時セルの廃棄が起こり、バッファメモリに大量のセルが蓄積されるとセルの遅延時間が増大してしまう。そのような場合に取られる従来の優先制御方式を第6図のB.に示す。

この例では、セルのヘッダに優先度が高いか低いかを表す優先度情報が付加されており、入力HWに対応するバッファメモリ60は、高優先セルバッファメモリ601と低優先セルバッファメモリ602の2つで構成される。入力HWからセルが入力すると、そのセルの優先度情報を判別して高優先セルか低優先セルかに応じて2つのバッファメモリ601, 602の一方に蓄積される。蓄積されたセルは読み出し制御部62において、高優先セルバッファメモリ601の方が優先して読み出されるよう制御されセクタ61から出力される。従って、従来例の方式では第6図のC.に示すように遅延量を縦軸、廃棄量を横軸とした場合、高優先セルが遅延量小で廃棄量が少なくなり、低優先セルは遅延量が大で廃棄量が多くなるという制御を受けることになる。

## 〔発明が解決しようとする課題〕

上記した従来の方式では、廃棄特性と遅延特性を独立に制御できないため、廃棄が少なく遅延も小さい高優先クラスとその逆の低優先クラスという一次元の制御しかできないので、例えば遅延が小さく廃棄が多いといった制御ができないという問題があった。また、例えば低優先セルがバッファメモリを占有していた場合、次に高優先セルが到着しても廃棄されるというような、到着したセルより優先度の低いクラスのセルの影響で高いクラスの特性が左右されるという問題があった。

本発明は廃棄特性と遅延特性を独立に制御することができ自セルより低い優先度のセルにより特性を左右されないATM交換機の通話路における品質クラス制御方式を提供することを目的とする。

## 〔課題を解決するための手段〕

第1図 (a) は本発明の第1の原理構成図、第1図 (b) は第1の原理構成の作用説明図、第2図は本発明の第2の原理構成図である。

第1図 (a) 及び第2図において、1-1 ~ 1-n 及び 1'-1 ~ 1'-n は廃棄手段、2-1 ~ 2-n は各廃棄

## 5

クラス別に分割して割当てられたバッファメモリ内の各領域、3-1~3-nは前記各領域で実際に使用したバッファ量をそれぞれ測定するバッファ量測定手段、4、4'は廃棄制御部、5は遅延制御部、6はセクタ、7は廃棄クラス識別手段、8はクラス比較手段である。

本発明はセルに廃棄及び遅延のそれぞれのクラスが付与され、第1の構成は、入力ハイウェイから出力ハイウェイへ接続する位置に設けた1つのバッファメモリをクラス別に割当てられた可変領域に格納し、その時のバッファメモリの使用率に応じて廃棄すべきセルの廃棄クラスを変更することにより廃棄クラスの高いセルが保護し、読み出しは遅延クラスの高いものを優先する。また第2の構成は、バッファメモリがフル状態の場合に入力セルのクラスより下位のクラスがあると、下位クラスの領域からセルを廃棄して空いた領域に入力セルを格納するものである。

## 〔作用〕

第1図(a)において、入力セルにはB.に示すように、ヘッダ部に遅延品質を表す遅延クラス(1~mの中の1つ)と、廃棄品質を表す廃棄クラス(1~nの中の1つ)とを予め設定されて入力され、CL(m,n)により2つの品質を表すクラスが表現される。この場合、最初の遅延クラスを表す数字が小さいと優先度が高く(遅延が小さい)、後の廃棄を表す数字は小さい程優先度が高い(廃棄が少ない)。また、バッファメモリ内の各領域2-1~2-nは物理的には1つのバッファメモリを論理的にn個の廃棄クラスに分割して使用され、各領域は遅延クラスに対応して更にm個に分割される。

入力HWから入力したセルは廃棄クラスに応じて廃棄手段1-1~1-nに供給される。この時、廃棄制御部4はバッファ量測定手段3-1~3-nから各バッファメモリの使用量を得ることによりバッファメモリ全体の使用量が分かる。一方、廃棄制御部4には第1図(b)のA.に示すような廃棄制御のためのテーブルが設けられ、廃棄制御部4はこのテーブルに応じて廃棄制御を行う。

このテーブルは、バッファ使用量がQ1(使用率100%に相当)の場合、全てのクラス(1~n)の入力セルが廃棄され、使用量がQ2(使用率90%に相当)の場合、クラス2~nのセルが廃棄され(クラス1だけ格納される)、さらに使用量Qn(使用率70%に相当)の場合クラスnだけ廃棄されることを表す。廃棄制御部4は、判断した結果(廃棄すべきか否か)を入力セルに対応する廃棄手段1-1~1-nの1つに供給する。廃棄されない場合、入力セルは対応するバッファメモリの領域2-1~2-nの1つに格納される。遅延制御部5は、各領域2-1~2-nの中の遅延クラス(1~m)に分割された領域を、第1図(b)のB.に示すように高優先クラス(数字の小さい方)を優先して読み出し制御する。

次に第2図に示す第2の原理構成の作用を説明すると、第2図のバッファメモリのクラス別の領域2-1~

## 6

2-nは第1図と同様の構成を備えており、入力HWからの入力セルは廃棄クラスに対応したバッファメモリの分割領域2-1~2-nに格納する動作が行われる。この時廃棄制御部4'は、各バッファ量測定部3-1~3-nからセルが格納されたバッファメモリの量を調べて、バッファメモリ全体にセルが格納されたバッファフルの状態か否かを判別する。この結果バッファフルであることが分かると、次に入力セルの廃棄クラスを廃棄クラス識別手段7により識別して、そのクラスより低いセルがバッファ内にあるか判別し、ある場合はバッファ内の最低クラスを廃棄するよう対応する廃棄手段1'-1~1'-nを駆動する。こうしてバッファメモリ内に空きが生じるので、その空いた領域を入力セルの廃棄クラスの領域として使用して、格納する。入力セルの廃棄クラスより低いクラスのセルがバッファ内に無い場合は入力セルを廃棄する。

## 〔実施例〕

第3図は実施例1の構成図、第4図(a)は本発明によるバッファメモリの原理構成図、第4図(b)は実施例1におけるセルの廃棄及び遅延の制御特性、第5図は実施例2の構成図である。

最初に第4図(a)により本発明によるバッファメモリの原理構成を説明する。この例ではクラスがCL1~CLnがある例を示す。

バッファメモリ42はセルの書き込みと読み出しが行われる。空きアドレスキュー40にはバッファメモリ42内のセルが格納されていない(空き状態)1セル分の領域のアドレスがキューとして順次格納されている。また、各クラス別にクラス1セル使用アドレスキュー41-1~クラスnセル使用アドレスキュー41-nが設けられ、バッファメモリ42内に書き込み済みの各セルのアドレスがクラス別にキューを形成される。

このバッファメモリ42へのセルの書き込み動作は、セルが入力するとクラスが識別され、空きアドレスキュー40の先頭の空きアドレス(図の例ではアドレス3)が割当てられ、次に書き込みが可能な場合(廃棄制御による)、バッファメモリ42の割当てられた空きアドレスに入力セルを書き込み、識別されたクラスに対応するセル使用アドレスキュー41にその書き込みアドレスを格納する。

読み出しは、遅延優先のクラスを優先するように読み出し制御され、例えば、クラス1を優先すると、クラス1(CL1)セル使用アドレスキュー41-1の先頭に格納されたアドレス(図の例ではアドレス2)のセルを読み出しアドレスとしてバッファメモリ42から読み出す。読み出しが行われたアドレス2は、空きアドレスキュー40の後端に格納される。

次に第3図に示す実施例1を説明する。図において、20はバッファメモリ、21は品質クラス識別回路、22はセル到着検出回路、23は空きアドレスキュー、24はバッファ使

用量測定回路、25はクラス1 (CL1) セルアドレスキュー、26はクラス2 (CL2) セルアドレスキュー、27-1、27-2は比較回路、28は読み出しキュー選択部、29は読み出し制御部である。

この実施例1は、ATM交換機の通話路の1つのスイッチング素子のバッファメモリに関連する構成が示され、この例は品質クラスが2つの場合で、クラス2の廃棄はクラス1より多いが遅延は小さく、クラス2の遅延はクラス1より大きいが廃棄は少ない場合を示す。

第4図(b)にこの実施例における、セルの廃棄及び遅延の制御特性を説明すると、バッファメモリ20の使用量が100%の場合、クラス1及びクラス2の両方のセルを廃棄し、80%の場合はクラス2のセルが廃棄される。また遅延優先度は、クラス2のセルがクラス1より優先して、読み出しが行われる。

実施例1のバッファメモリ20は上記第4図(a)と同様の原理で制御され、以下に第3図の動作を説明する。入力HWからセルが入力すると、セル到着検出回路22でセルの到着を検出すると、空きアドレスキュー23からバッファメモリ20内の空きセル領域の先頭アドレスを取り出し、そのアドレスから到着セルをバッファメモリ20へ書き込もうとする。この時の、書き込み判断は、上記第4図(b)の廃棄特性により行われる。すなわち、バッファ使用量測定回路24においてバッファメモリ20の現在の使用量(使用率)が測定され、比較回路27-1、27-2に使用率が供給される。比較回路27-1には他の入力端子から使用量Q1として100%が入力され、27-2には使用量Q2として80%が入力されている。この結果、比較回路27-1は使用量が100%に達していないと“1”が発生してクラス1のセルの場合、アンド回路A1から“1”が発生して書き込み制御信号としてバッファメモリ20へ供給されて書き込みが行われ、同時にCL1セルアドレスキュー25に当該セルの書き込みアドレス(空きアドレス)を格納する。使用量が100%に達するとCL1のセル(CL2のセルも)書き込みが禁止される(比較回路27-1から0”が発生)。

比較回路27-2は、使用量が80%以下の場合、“0”が発生してアンド回路A2は、クラス2(CL2)のセルの書き込み制御信号を発生し、CL2セルアドレスキュー26に当該セルの書き込みアドレスを格納し、使用量が80%以上の場合、比較回路27-2から“1”が発生してアンド回路A2が禁止されてクラス2のセルは書き込まれない(廃棄される)。このようにクラス1のセルの廃棄は少なくなる。

CL1セルアドレスキュー25、CL2セルアドレスキュー26には、エンプティフラグが設けられ、1つでもキューが格納されていると、該フラグが“1”にセットされている。読み出し制御部29は、読み出し許可信号(このスイッチにおいてセル出力が許容されるタイミングで入力する制御信号)が入力すると読み出しを行う。最初に、読み出

し制御部29は、クラス別のセルアドレスキューのエンプティフラグを読み出しキュー選択部28により監視し、クラス1、2共にバッファメモリに書き込まれている場合は、クラス2セルを先に読み出す。この場合CL2セルアドレスキュー26からキューの先頭のアドレスを取り出し、ゲートG2を介してバッファメモリ20に読み出しアドレスとして供給される。読み出されたセルは出力HWに出力される。この時の読み出しアドレスは、読み出し制御部29の制御により空きアドレスキュー23に書き込まれる。

上記の他に、読み出し制御としては、クラス別に絶対的な読み出し優先順位を付けず、クラス間の読み出し頻度を変える方法をとることもできる。

次に第5図に示す実施例2の構成を説明する。

第5図において、20~23、25、26、28及び29は、第3図に示す同一符号の各装置に対応し、名称は同じである。

この実施例2の場合も、上記実施例1と同様に品質クラスが2つの場合で、クラス2の廃棄はクラス1より多いが遅延は小さく、クラス1の遅延はクラス2より大きいが廃棄は少ない場合である。

動作を説明すると、セル到着検出回路22により入力HWからセルの到着を検出すると、空きアドレスキュー23から到着セルをバッファメモリ20へ書き込もうとする。この時の書き込みの判断は以下のように行う。すなわち、先ず到着したセルの品質クラスを品質クラス識別回路21で識別すると共に、空きアドレスキュー23からのバッファメモリがフル状態か否かを表す信号を取り出して、アンド回路A3、A4に入力するバッファメモリ20のフル状態は、空きアドレスキュー23に空きアドレスが何も格納されてないことを表す信号(エンプティフラグ)により表示される。もし、フル状態を表す信号が“1”の場合、アンド回路A4は禁止されてクラス2のセルの書き込みができない(廃棄される)。しかし、入力したセルがクラス1の場合、バッファメモリがフル状態の場合、バッファメモリ20に既にクラス2のセルが書き込まれていると

(CL2セルアドレスキューのエンプティフラグが“1”の状態)、読み出し制御部29は、読み出し信号線290からCL2セルアドレスキュー26に対し読み出し信号を出力する。これによりCL2セルアドレスキュー26からアドレス(キューの先頭)を読み出され(クラス2の該当セルは廃棄)、オア回路OR1を介して空きアドレスキュー23に空きアドレスとして書き込まれる(フル状態が解除される)。こうして、入力したクラス1のセルは空きアドレスキュー23から読み出された空きアドレスが指示するバッファメモリ20の位置に書き込まれ、同時にCL1セルアドレスキュー25にアドレスが格納される。このようにクラス1のセル廃棄は少なくなる。

読み出し時には、読み出し制御部29において、クラス別のアドレスキュー25、26のエンプティフラグを監視し、クラス1、2共にバッファメモリ20に書き込まれてい

る場合は、クラス2のセルを先に読み出す遅延制御を行う。これによりクラス2の遅延を小さくすることができる。

#### 【発明の効果】

本発明によれば廃棄特性と遅延特性を独立に制御できるため、例えば廃棄は多いが遅延は小さいクラスや、その逆のクラスというように様々な品質クラスの制御を実現できると共に、低優先セルをバッファメモリの使用量により書き込み制限したり、廃棄することにより入力したセルより優先度の低いクラスのセルの影響によりその

#### 【図面の簡単な説明】

第1図(a)は本発明の第1の原理構成図、第1図

(b)は第1の原理構成の作用説明図、第2図は本発明の第2の原理構成図、第3図は実施例1の構成図、第4

図(a)は本発明によるバッファメモリの原理構成図、第4図(b)は実施例1におけるセルの廃棄及び遅延の制御特性、第5図は実施例2の構成図、第6図は従来例の説明図である。

第1図(a)、第2図中、

1-1~1-n:廃棄手段

1'-1~1'-n:廃棄手段

2-1~2-n:廃棄クラス別のバッファメモリ内の各領域

3-1~3-n:バッファ量測定手段

4,4':廃棄制御部

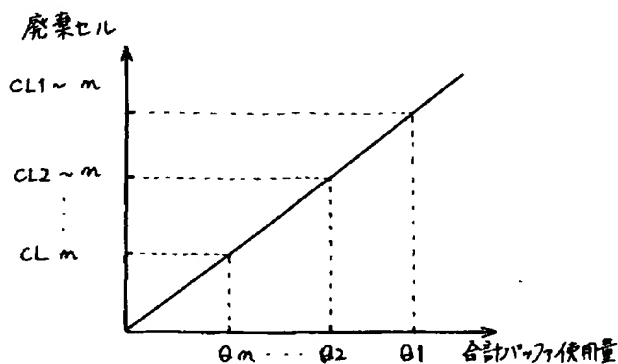
5:遅延制御部

6:セレクタ

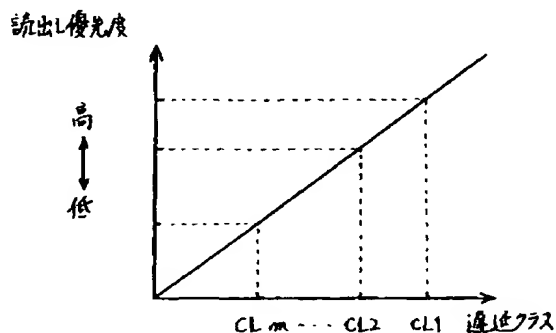
7:廃棄クラス識別手段

8:クラス比較手段

【第1図(b)】



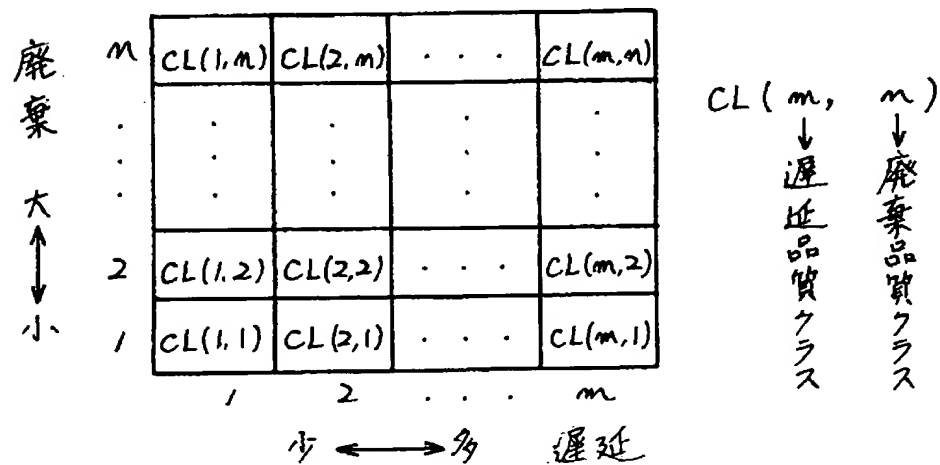
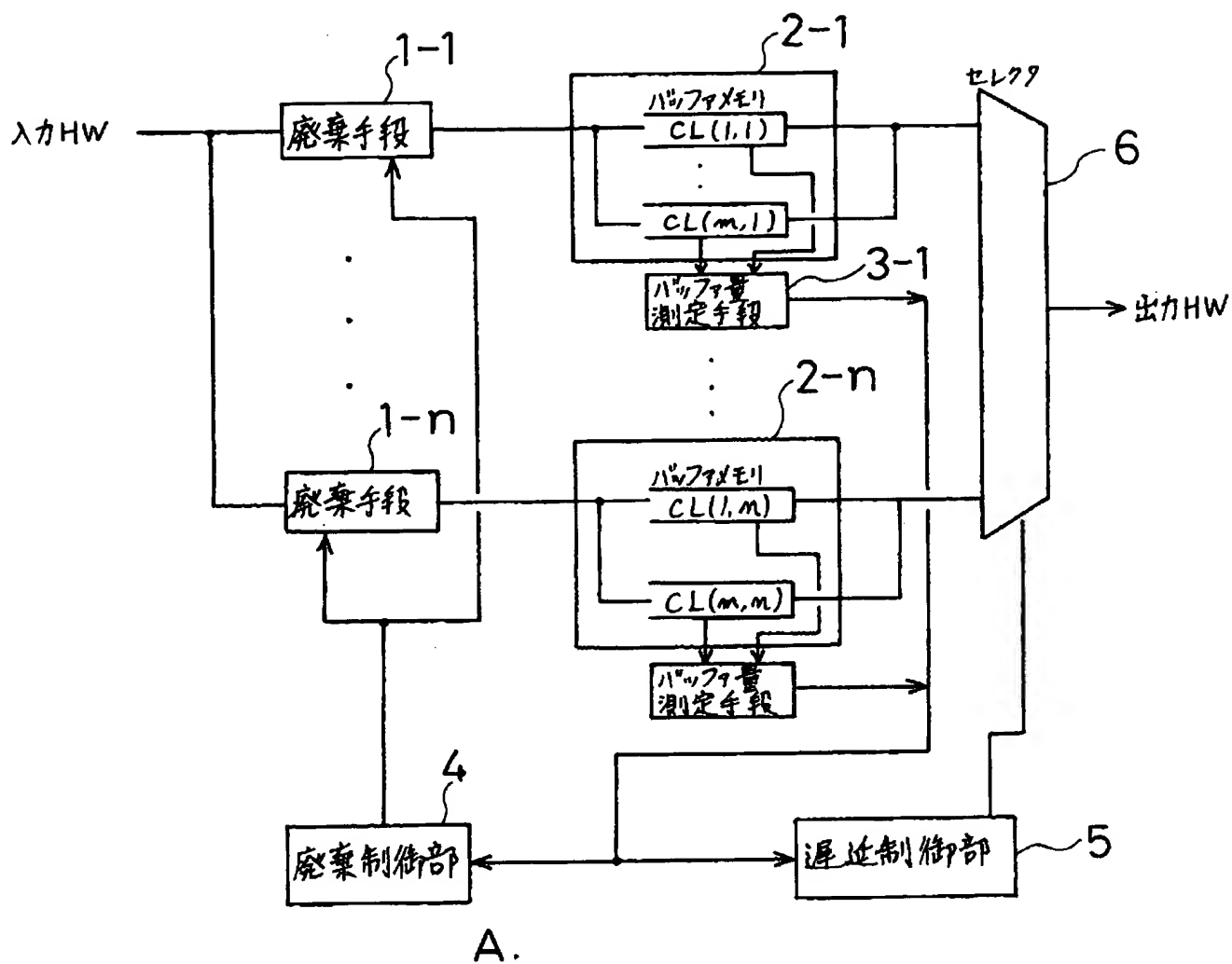
A 廃棄制御



B 遅延制御

第1の原理構成の作用説明図

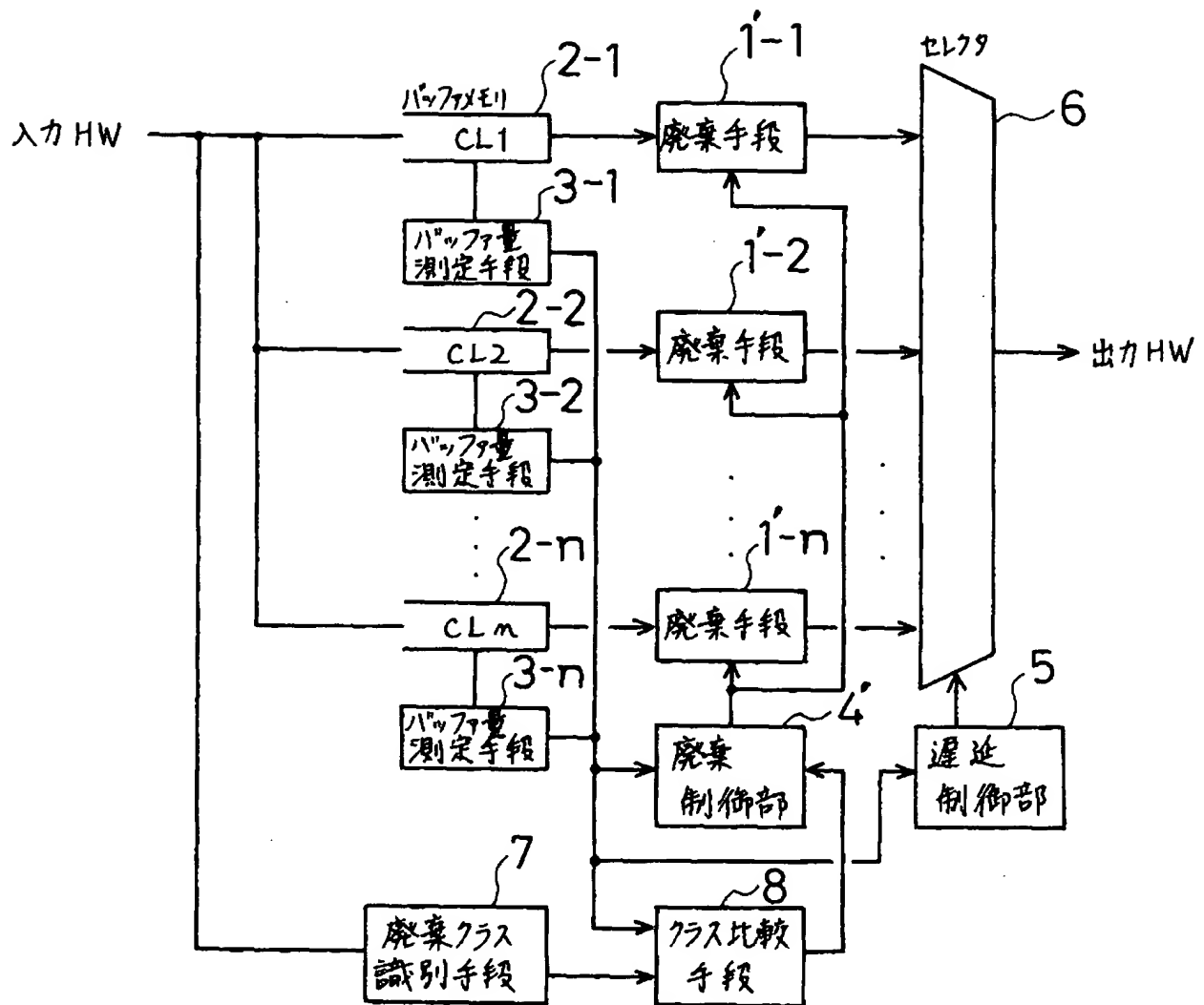
【第1図(a)】



B.  
本発明の第1の原理構成図

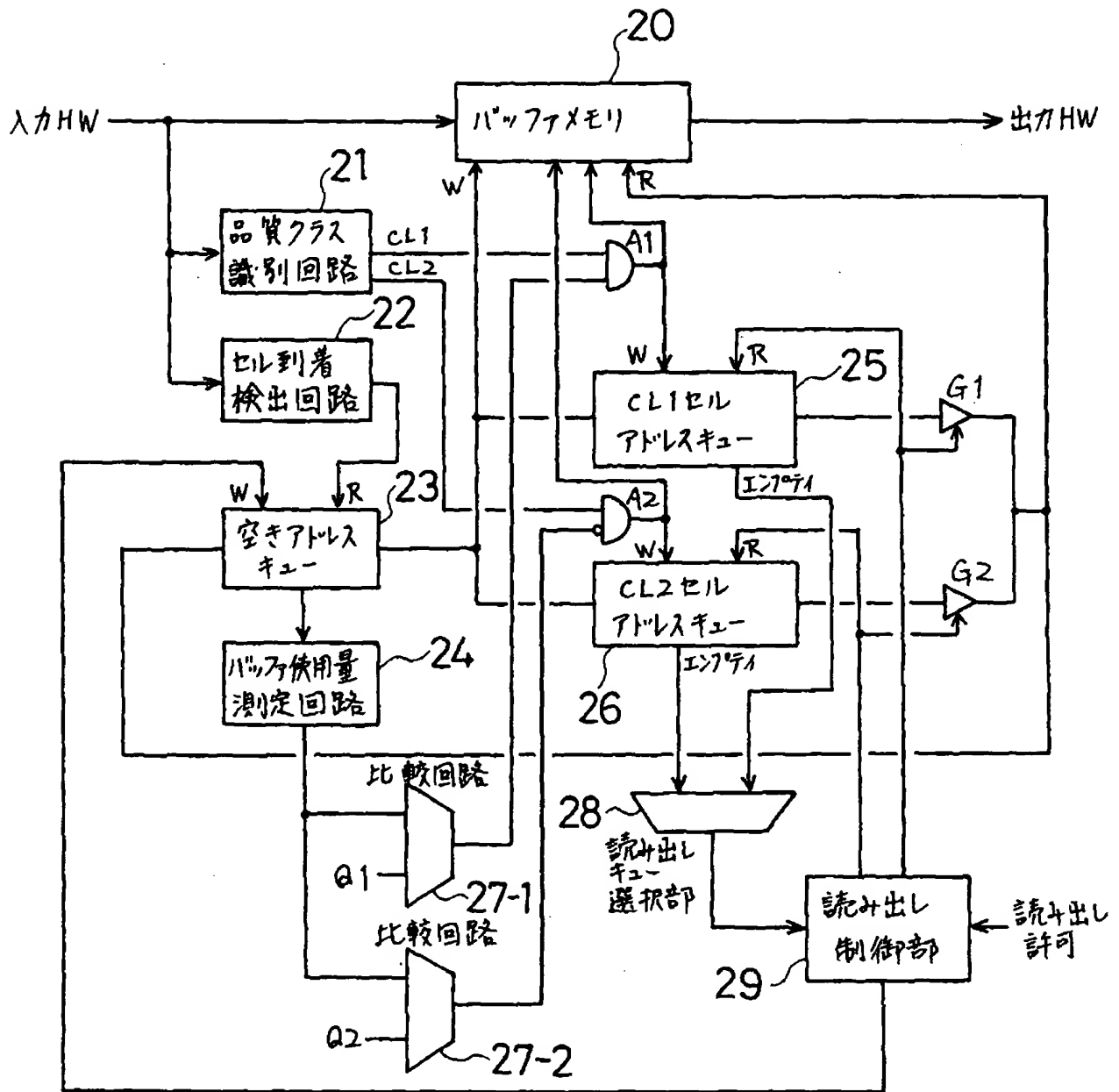


【第2図】



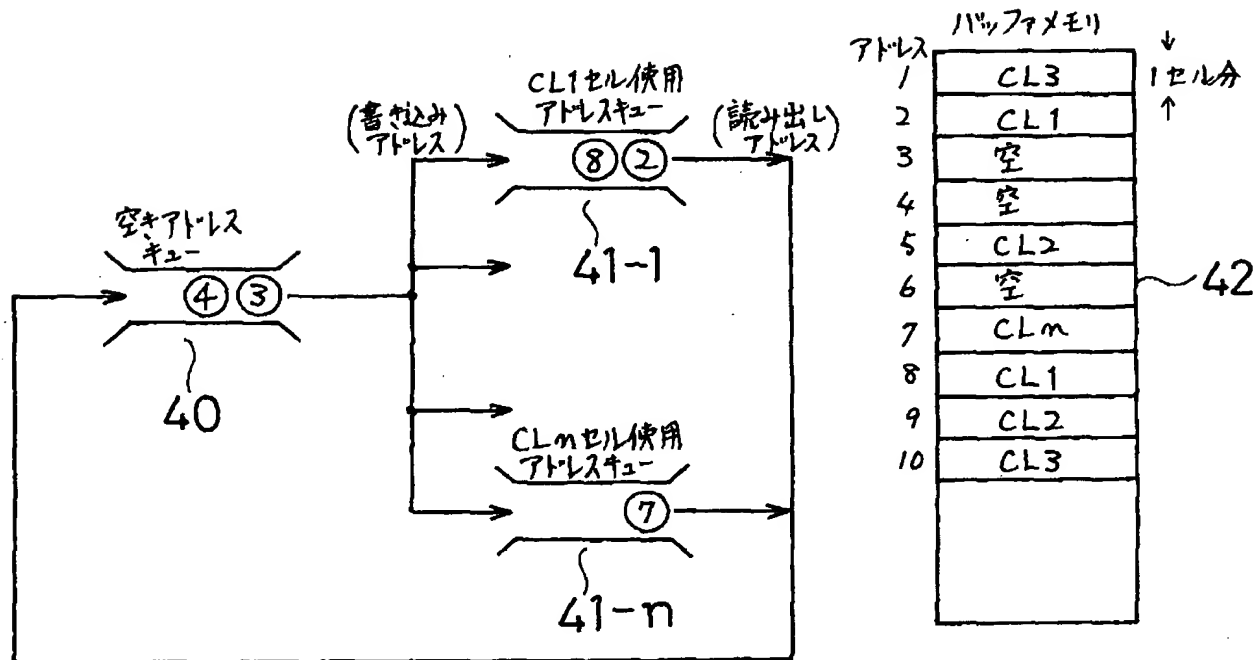
本発明の第2の原理構成図

【第3図】



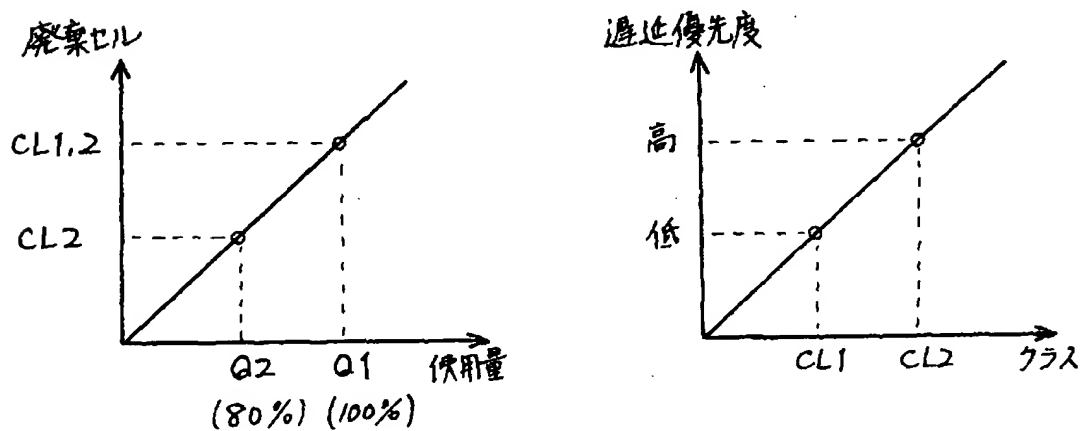
実施例1の構成図

【第4図(a)】



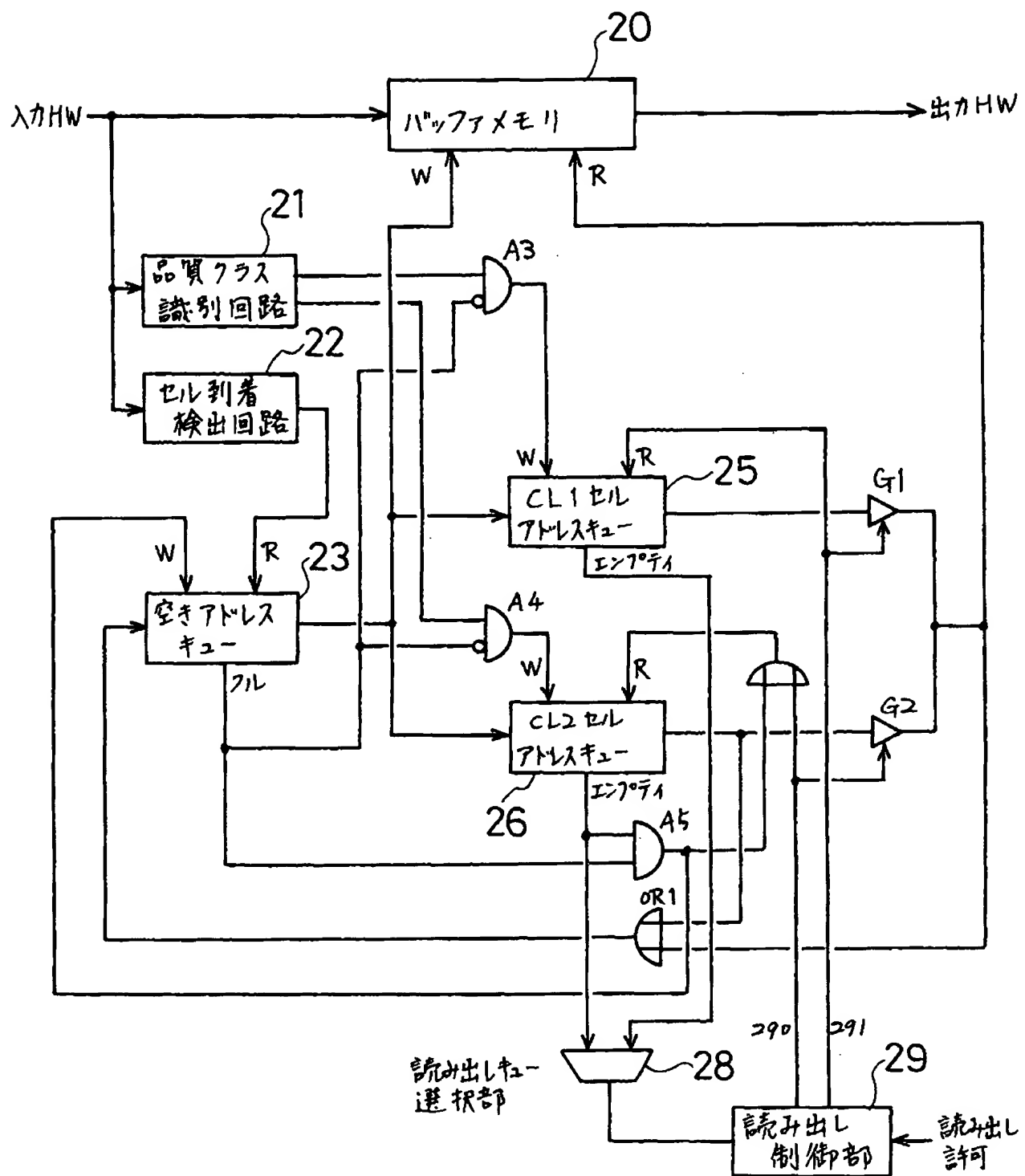
本発明によるバッファメモリの原理構成図

【第4図(b)】



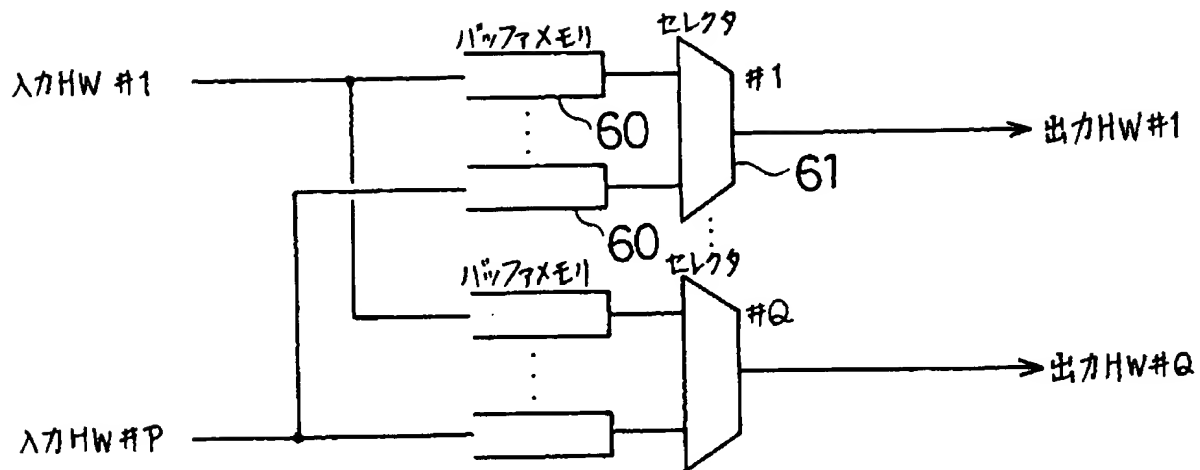
実施例 1 におけるセルの廃棄及び  
遅延の制御特性

【第 5 図】

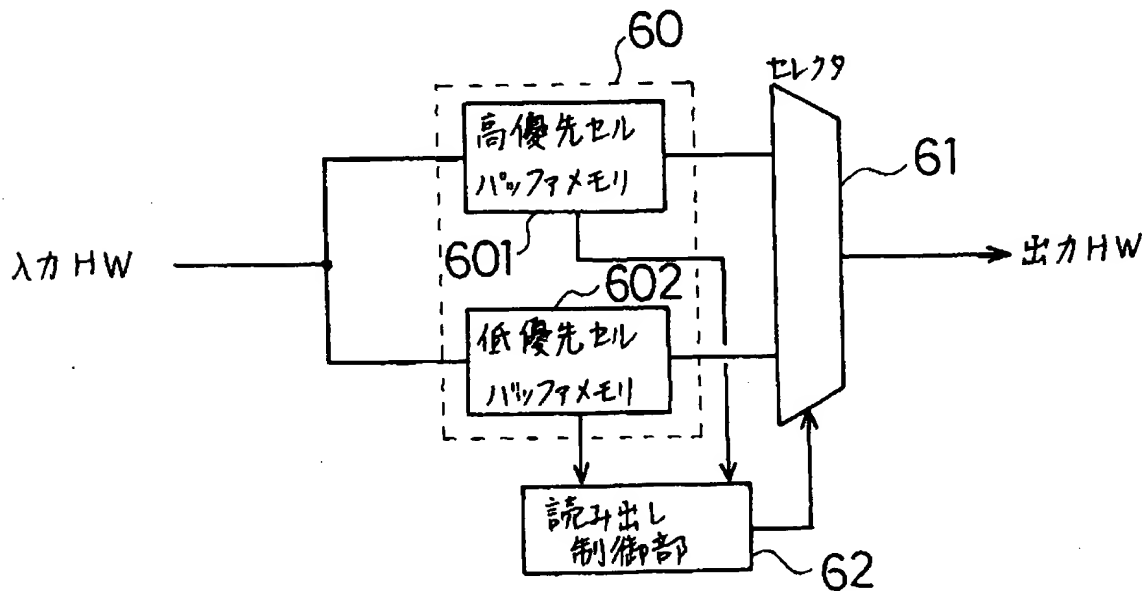


実施例 2 の構成図

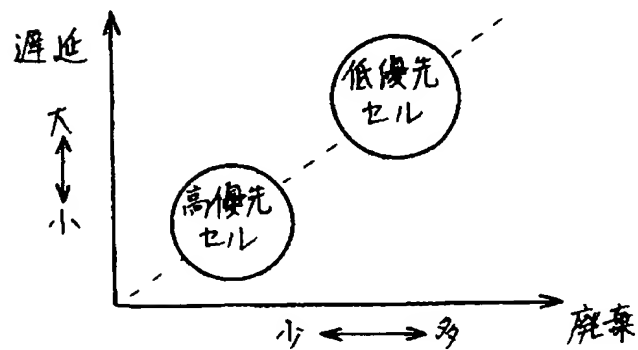
【第6図】



A. ATM スイッチ



B. 従来の優先制御方式



C. 従来例の説明図

## フロントページの続き

(56) 参考文献 特開 平 1 - 236843 ( J P , A )  
特開 平 4 - 306031 ( J P , A )  
電子情報通信学会技術研究報告 S E  
87-75  
電子情報通信学会技術研究報告 S E  
87-92

(58) 調査した分野 (Int. Cl. <sup>6</sup>, D B 名)  
H04L 12/28  
H04L 12/56